

(2) Japanese Patent Application Laid-Open No. 6-119308 (1994)**“Simulation Method of Dynamic Characteristics of Semiconductor Device”**

The following is the extract relevant to the present invention:

5

Fig. 1 is a connection diagram showing a simulation method of dynamic characteristics of a semiconductor device according to the preferred embodiment of the invention taking an insulated gate bipolar transistor as an example. As shown in Fig. 1, an insulated gate bipolar transistor (IGBT) 1 has a fundamental structure including a drain electrode 4 on the part formed by diffusing an n-type buffer layer and a p-type drain layer on a lower surface of an n-type substrate, a source electrode 2 formed on the upper surface in a position to be contact with the source layer which is formed by diffusing a p-type channel formation layer and an n-type source layer and a gate electrode 3 formed on the source layer through a gate insulated film 5.

10

15 Generally, the IGBT 1 is composite including a plurality of fundamental structures.

A drain power source 11 (power source setting voltage V_d), a drain resistor 10 and a drain inductance 9 are interposed between the drain electrode and the source electrode of the IGBT 1 to form an external circuit as a load circuit. A gate external circuit consisting of a gate power source 8 (power source setting voltage V_g), a gate inductance l_g as a wiring inductance 7 and a gate resistor r_g as a wiring resistor 6 is

20

interposed between the source electrode and the gate electrode. The IGBT 1 is generally switched on/off by the gate power source setting voltage V_d to control a drain current J_d as a load current.

Next, assuming that short-circuit of the load is generated in the

25 semiconductor device including the external circuit described above, a simulation

method will be described taking simulation of dynamic characteristics of a gate circuit including the short-circuit generated therein as an example. The simulation is performed by the combination of state equations (1) to (6) and an operation equation as follows:

5 State Equations

$$\text{div}(\text{grad } \psi) = - (e/\epsilon) (N_d - N_a + p - n) \quad \dots (1)$$

$$D_p = - (1/e) \text{div } J_p + G - U \quad \dots (2)$$

$$D_n = + (1/e) \text{div } J_n + G - U \quad \dots (3)$$

$$J_p = -eD_p \text{grad } p - \mu_p p \text{grad } \psi \quad \dots (4)$$

$$10 \quad J_n = +eD_n \text{grad } n - \mu_n n \text{grad } \psi \quad \dots (5)$$

$$J = J_p + J_n - \epsilon D \text{grad } \psi \quad \dots (6)$$

Here, references represent the elements as follows:

Operators

$D = d/dt$: time differential operator

15 div : scalar operator showing divergence

grad : vector operator showing gradient

Variables on calculation

ψ : potential (voltage) J : current p : concentration of positive hole

n : concentration of electron J_p : electron current

20 J_n : positive hole current

Constants to be provided during simulation

e : charge of electron ϵ : dielectric constant G : generation term

U : recombination term D_p : diffusion constant of positive hole

D_n : diffusion constant of electron μ_p : mobility of positive hole

25 μ_n : mobility of electron N_d : concentration of donor

Na : concentration of acceptor

Operation Equation

$$\int_0^t \left\{ \int_0^t (V_{gm} - V_g) dt + r_g (q - q_0) - l_g (dq / dt) \right\}_0 dt = -l_g (q - q_0)$$

Here, references represent the elements as follows:

5 l_g : gate inductance r_g : gate resistance

q_0 : initial charge in gate insulated film q : charge as one parameter

v_g : gate power source setting voltage

v_{gm} : gate voltage as another parameter

10 The wiring inductance l_g and the gate resistor r_g of the gate external circuit are designated as circuit constants and the initial charge q_0 is designated per time variation. Further, the charge q as one parameter determined by the state equations is substituted into the operation equation, to thereby indirectly calculate the gate voltage V_{gm} as another parameter.

15 Next, using a residual equation as follows as the modification of the operation equation described above, the charge q determined by the state equations is designated again and iterative calculations are performed according to Newton's iterative method until a residual f is fall within a predetermined range of convergence judgment error.

$$f(V_{gm}) = \int_0^t \left\{ \int_0^t (V_{gm} - V_g) dt + r_g (q - q_0) - l_g (dq / dt) \right\}_0 dt + l_g (q - q_0)$$

20 That is, V_{gm3} expected to have a value of " $f(V_{gm3}) \doteq 0$ " can be obtained from the values of residuals $f(V_{gm1})$ and $f(V_{gm2})$ to trail values V_{gm1} and V_{gm2} during Newton's iterative method. The residual f can fall within the predetermined range of convergence judgment error by repeatedly performing this step.

According to the method of preferred embodiment here, it is possible to check and adjust consistency between the state equations and the operation equation by the residual equation to implement calculation. Therefore, the amount of calculation errors within time variation can be considerably reduced. Further, as the calculation is shifted to the next time variation after the value of the residual f is reduced to fall within the predetermined range of convergence judgment error, it is possible to prevent vicious cycle of sequential accumulation of calculation errors extending through a large number of time variations accompanied by the progress in simulation and to improve accuracy in calculation. As a result, dynamic characteristics of the gate circuit including high-frequency vibration can be predicted with high precision.

Further, as orders of both sides of the operation equation are equal, the value of the convergence judgment error ε can be obtained from the following equation:

$$\varepsilon = f(V_{gm}) / \lg(q - q_0)$$

It this value is assumed to 10^{-2} to 10^{-4} , dynamic characteristics of the gate circuit including high-frequency vibration can be estimated with precision which is enough for actual use.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-119308

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 0 6 F 15/20

D 7052-5L

15/353

7343-5L

H 0 1 L 21/336

29/784

9168-4M

H 0 1 L 29/78

3 2 1 Z

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号

特願平4-263948

(22)出願日

平成4年(1992)10月2日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 田上 三郎

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

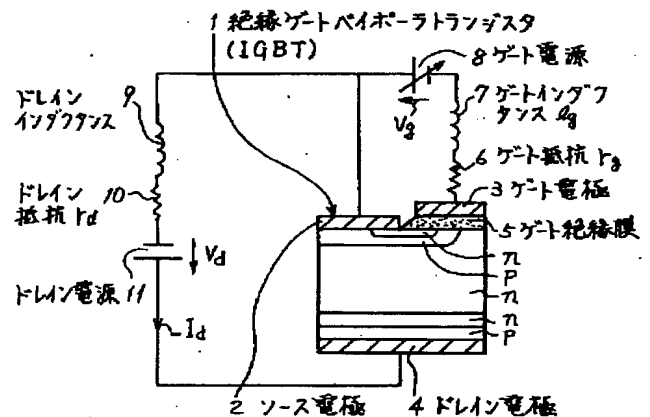
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 半導体装置の動特性シミュレーション方法

(57)【要約】

【目的】外部回路に接続された半導体装置のゲート回路の動特性を振動の要因分析を含めて高精度で計算できるシミュレーション方法を得る。

【構成】半導体装置1内部の状態方程式と、インダクタンス7、抵抗6を含むゲート外部回路の動作方程式とを、時間の関数であるゲート電圧とゲート絶縁膜5中の電荷とを媒介変数として結合し、半導体装置の動特性をシミュレートする方法であって、両方の媒介変数の時間積分項を含む積分型の動作方程式を用い、時間変分ごとに一方の媒介変数の初期値を指定して時間変分後の他方の媒介変数値を状態方程式と動作方程式とにより間接的に計算し、この両計算で得られた他方の媒介係数の計算値の差を動作方程式を変形して得られる残差方程式により所定の収束判定誤差範囲に補正するよう一方の媒介変数を指定し直しつつ計算を繰り返し行い、しかる後次の時間変分に対する計算に移る。



【特許請求の範囲】

【請求項1】MOSゲートを有する半導体装置内部の状態方程式と、インダクタンスおよび抵抗を含むゲート外部回路の動作方程式とを、時間の関数であるゲート電圧とゲート絶縁膜中の電荷とを媒介変数として結合し、半導体装置の動特性をシミュレートする方法であって、動作方程式として前記両方の媒介変数の時間積分項を含む積分型の方程式を用い、時間変分ごとに一方の媒介変数の初期値を指定して時間変分後の他方の媒介変数値を状態方程式と動作方程式とにより間接的に計算し、この両計算で得られた他方の媒介係数の計算値の差を前記動作方程式を変形して得られる残差方程式により所定の収束*

$$\int_0^t \left(\int_0^t (V_{gm} - V_g) dt + r_g(q - q_0) - l_g(dq/dt)_0 \right) dt = -l_g(q - q_0)$$

【請求項3】残差 $f(V_{gm})$ を示す残差方程式として(12)式を用い、 $f(V_{gm})/l_g(q - q_0) = \epsilon$ で表される収束判定誤差が $\epsilon = 10^{-2} \sim 10^{-4}$ の範囲に収まるまで計算を繰り返す*

$$f(V_{gm}) = \int_0^t \left(\int_0^t (V_{gm} - V_g) dt + r_g(q - q_0) - l_g(dq/dt)_0 \right) dt + l_g(q - q_0)$$

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、トランジスタ等の半導体装置の内部状態を状態方程式により詳しく計算しながら、種々な外部回路と接続された条件下の半導体装置の動特性を正確に予測するためのシミュレーション方法に関する。

【0002】

【従来の技術】周知のように半導体装置はその内部に種々

$$\text{div}(\text{grad } \phi) = -(e/\epsilon)(N_d - N_a + p - n) \quad (1)$$

$$D_p = -(1/e) \text{div } J_p + G - U \quad (2)$$

$$D_n = +(1/e) \text{div } J_n + G - U \quad (3)$$

$$J_p = -e D_p \text{grad } p - \mu_p p \text{grad } \phi \quad (4)$$

$$J_n = +e D_n \text{grad } n - \mu_n n \text{grad } \phi \quad (5)$$

$$J = J_p + J_n - \epsilon D \text{grad } \phi \quad (6)$$

ただし、上式では演算子として、

$D = d/dt$: 時間微分演算子

div : 発散を示すスカラー演算子

grad : 勾配を示すベクトル演算子

を用いてある。また、計算上の変数は、

ϕ : ポテンシャルすなわち電圧、 J : 電流、 p : 正孔濃度、 n : 電子濃度、 J_p : 電子電流、 J_n : 正孔電流であり、シミュレーションに際して与えるべき定数としては、 e : 電子の電荷、 ϵ : 誘電率、 G : 発生項、 U : 再結合項、 D_p : 正孔の拡散定数、 D_n : 電子の拡散定数、 μ_p : 正孔の移動度、 μ_n : 電子の移動度、 N_d : ドナーの濃度、 N_a : アクセプタ濃度。

【0004】なお、上式中の式(1)、(2)および式(3)はスカラー方程式、式(4)、(5)、(6)はベクトル方程式であ

*判定誤差範囲に補正するよう一方の媒介変数を指定し直しつつ前記計算を繰り返し行い、しかる後次の時間変分に対する計算に移ることを特徴とする半導体装置の動特性シミュレーション方法。

【請求項2】ゲートインダクタンスを l_g 、ゲート抵抗を r_g 、ゲート絶縁膜中の初期電荷を q_0 、他方の媒介変数としての電荷を q 、ゲート電源設定電圧を v_g 、一方の媒介変数としてのゲート電圧を v_{gm} としたとき積分型の動作方程式として(11)式を用いることを特徴とする請求項1記載の半導体装置の動特性シミュレーション方法。

【数1】

※すことを特徴とする請求項1または請求項2記載の半導体装置の動特性シミュレーション方法。

【数2】

★々な導電形や不純物濃度を持つ半導体領域を備え、その設計や性能向上を図るに際し、これら半導体領域内の電子と正孔の分布や移動の様子を詳しく知る必要がある。しかし、かかる内部の様子を実際に測定するのは不可能なので、最近の進んだ計算機技術を利用してシミュレーションによって計算する方法が利用される。

【0003】このシミュレーションの基礎技術としては、次のような半導体装置内部の状態方程式が知られて

り、容易にわかるように(1)はドナーやアクセプタによるキャリアの生成と消滅を含む電荷のポアソン方程式、(2)、(3)は正孔と電子の濃度方程式、(4)、(5)は正孔と電子による電流方程式である。これらの状態方程式に基づく半導体装置の内部のシミュレーションは、半導体装置の内部を例えば二次元の多数個の領域に細分して差分法や有限要素法を利用し、通常は与えられた境界条件下で行列方程式を解くことにより行われる。このための計算量はかなり多いが、最近の専用高速計算機を利用すれば16桁の倍精度計算でも、二次元解であれば1回のシミュレーションを10分程度の比較的短時間内に済ませて、例えば半導体装置の静特性を計算することができ

る。【0005】しかし、実際には半導体装置は外部回路を

接続した状態で使用されるため、実用を模擬した条件でシミュレーションを行うためには、静特性だけでなく動特性のシミュレーションが必要になる。このためには、半導体装置の内部の状態方程式を、外部回路の動作を支配する通常は微分方程式で表される動作方程式と結合した形で解く必要があり、かつ動特性が対象とする電圧や電流などが時間の関数であるため、短い単位時間ないしは可変な時間変分ごとに区切って計算し、動特性を調べたい時間範囲内でこの計算を順次進めながらシミュレ-

$$V_{gm} = V_g - r_g(dq/dt) - l_g d/dt(dq/dt)$$

【0008】

【発明が解決しようとする課題】式(7)において、電荷 q は状態方程式(1)～(6)を解くことにより求められるが、式(7)が時間 t に関する二階微分項を含んでいるので、変分 dq を式(7)に直接代入した場合系は極めて不安定になり、事実上解くことができない。このため、例えば半導体装置の設計段階における動特性の予測が困難になるという問題がある。

【0009】図3は既存のIGBTの外部回路で負荷短絡が生じた際の動特性の実測結果の一例を示す波形図である。図において、負荷短絡により台形状に変化するドレイン電流 J_d が発生すると、これに対応してゲート電圧 V_g が台形状に変化するが、その際ゲート電圧 V_g に高周波振動波形 V_{gv} が重畳して発生するのが観測された。高周波振動波形 V_{gv} は、ゲート外部回路の漂遊インダクタンス l_g の共振現象によって発生したものと推定されるが、二階微分項を含む動作方程式を用いた従来の動特性シミュレーション方法では計算できず、半導体装置の設計段階において振動の発生を予測できず、したがってその要因分析もできないという問題があった。

【0010】この発明の目的は、外部回路に接続された半導体装置のゲート回路の動特性を振動の要因分析を含めて高精度で計算でき、かつ予測結果の信頼性が高いシミュレーション方法を得ることにある。

※

$$\int_0^t \left\{ \int_0^t (V_{gm} - V_g) dt + r_g(q - q_0) - l_g(dq/dt)_0 \right\} dt = -l_g(q - q_0)$$

【0014】さらに、残差 $f(V_{gm})$ を示す残差方程式として(12)式を用い、 $f(V_{gm})/l_g(q - q_0) = \varepsilon$ で表される収束判定誤差が $\varepsilon = 10^{-2} \sim 10^{-4}$ の範囲に縮小するまで計

*シミュレーションを行う方法が既に知られている。

【0006】例えば、MOSゲートを有する半導体装置としての絶縁ゲートバイポーラトランジスタ(IGBT)が、そのゲート回路にゲートインダクタンス l_g 、およびゲート抵抗 r_g を含む場合、ゲート回路の動作方程式として式(7)が提案されている。但し式(7)において、 v_g はゲート電源の設定電圧、 v_{gm} は媒介変数としてのゲート電圧、 q はゲート絶縁膜容量の蓄積電荷である。

【0007】

(7)

※【0011】

【課題を解決するための手段】上記課題を解決するために、この発明によれば、MOSゲートを有する半導体装置内部の状態方程式と、インダクタンスおよび抵抗を含むゲート外部回路の動作方程式とを、時間の関数であるゲート電圧とゲート絶縁膜中の電荷とを媒介変数として結合し、半導体装置の動特性をシミュレートする方法であって、動作方程式として前記両方の媒介変数の時間積分項を含む積分型の方程式を用い、時間変分ごとに一方の媒介変数の初期値を指定して時間変分後の他方の媒介変数値を状態方程式と動作方程式とにより間接的に計算し、この両計算で得られた他方の媒介係数の計算値の差を前記動作方程式を変形して得られる残差方程式により所定の収束判定誤差範囲に補正するよう一方の媒介変数を指定し直しつつ前記計算を繰り返し行い、しかる後次の時間変分に対する計算に移ることとする。

【0012】また、ゲートインダクタンスを l_g 、ゲート抵抗を r_g 、ゲート絶縁膜中の初期電荷を q_0 、一方の媒介変数としての電荷を q 、ゲート電源の設定電圧を v_g 、他方の媒介変数としてのゲート電圧を v_{gm} とすると、積分型の動作方程式として(11)式を用いることとする。

【0013】

【数3】

★算を繰り返すこととする。

【0015】

【数4】

$$f(V_{gm}) = \int_0^t \left\{ \int_0^t (V_{gm} - V_g) dt + r_g(q - q_0) - l_g(dq/dt)_0 \right\} dt + l_g(q - q_0)$$

【0016】

【作用】この発明は、外部回路を含むゲート回路の従来の動作方程式である微分方程式(7)が、式中の時間微分項の数値に計算誤差を生じやすいことに着目し、この微分方程式を二重積分した形に相当する積分型の動作方程式、例えば式(11)に置き換えて時間微分項をなくし、従来発生していた大きな計算誤差を減少させることによ

り、高周波振動を伴う動特性の計算を可能にしたものである。動作方程式(11)は、一方の媒介変数としてのゲート絶縁膜中の電荷 q の時間積分項と、他方の媒介変数としてのゲート電圧 V_{gm} の時間積分項とを含んでおり、時間変分ごとに初期電荷 q_0 を指定し、状態方程式により求めた一方の媒介変数としての電荷 q を式(11)に代入することにより他方の媒介変数としてのゲート電圧 V_{gm} を開

接的に求めることができる。

【0017】また、動作方程式(11)を変形して残差方程式(12)とすれば、状態方程式で求めた電荷 q を式(12)に代入したとき、状態方程式と動作方程式(11)が完全に一致した場合にのみゲート電圧の残差 $f(V_{gm})$ が零になる。また、この条件を満たすゲート電圧 V_{gm} はニュートン反復法によって計算できる。従って、状態方程式で得られた電荷 q を指定し直しながら残差 f が所定の収束判定誤差範囲に収まるまで計算を繰り返し行うことにより、状態方程式と動作方程式の整合性をチェックし、且つ調整しつつ計算を進めることが可能になり、時間変分内における計算誤差を大幅に低減する機能が得られる。その結果、シミュレーションが進行するに伴い、計算誤差が多数個の時間変分に渡って順次累積するという悪循環を阻止し、計算精度を向上できるので、高周波振動を含むゲート回路の動特性を精度よく予測する機能が得られる。

【0018】収束判定誤差 ϵ は、動作方程式(11)の両辺のオーダが等しいことから $\epsilon = f(V_{gm}) / lg(q - q_0)$ で与えることができ、その値を $10^{-2} \sim 10^{-4}$ とすれば、高周波振動を含むゲート回路の動特性を実用上十分な精度で推定することができる。

【0019】

【実施例】以下、この発明を実施例に基づいて説明する。図1はこの発明の実施例になる半導体装置の動特性シミュレーション方法を絶縁ゲートバイポーラトランジスタを例に示す接続図である。図1において、絶縁ゲートバイポーラトランジスタ(IGBT)1は、n形の基板の裏面側にn形のバッファ層およびp形のドレイン層を拡散してドレイン電極4を設け、表面側にp形のチャネル形成層およびn形のソース層を拡散し、ソース層に接してソース電極2を、ソース層にゲート絶縁膜5を介してゲート電極3を設けた構造を基本構造とし、通常この基本構造を複数個繰り返した複合体として構成される。

【0020】また、IGBT1のドレイン、ソース電極間にはドレイン電源11(電源設定電圧 V_d)、ドレイン抵抗10、およびドレインインダクタンス9が接続されて負荷回路としての外部回路を構成し、ソース、ゲート電極間にはゲート電源8(電源設定電圧 V_g)と、配線インダクタンス7としてのゲートインダクタンス lg 、および配線抵抗6としてのゲート抵抗 rg を含むゲート外部回路が接続され、通常ゲート電源設定電圧 V_d によってIGBTをスイッチング動作させ、負荷電流としてのドレイン電流 J_d の制御が行われる。

【0021】次に、上述のように構成された外部回路を含む半導体装置に負荷短絡が発生したものと仮定し、そのときのゲート回路の動特性のシミュレーションを行う場合を例にその方法を説明する。シミュレーションは、前出の状態方程式(1)～(6)と動作方程式(11)とを結合

して行うが、ゲート外部回路の配線インダクタンス lg 、抵抗 rg を回路定数として指定し、時間変分ごとに初期電荷 q_0 を指定し、状態方程式により求めた一方の媒介変数としての電荷 q を式(11)に代入することにより他方の媒介変数としてのゲート電圧 V_{gm} を間接的に計算する。

【0022】次いで、動作方程式(11)を変形して得られる残差方程式(12)を用い、状態方程式で得られた電荷 q を指定し直しながらニュートン反復法による反復計算を、残差 f が所定の収束判定誤差範囲に収まるまで繰り返す。即ち、ニュートン反復法における試行値 V_{gm1} 、 V_{gm2} に対する残差 $f(V_{gm1})$ 、 $f(V_{gm2})$ の値から $f(V_{gm3}) \approx 0$ と期待できる V_{gm3} を求めることができ、これを繰り返すことにより残差 f を所定の収束判定誤差範囲に収めることができる。

【0023】従って、実施例方法によれば、状態方程式と動作方程式の整合性を残差方程式(12)によりチェックし、且つ調整しつつ計算を進めることができることになり、時間変分内における計算誤差を大幅に低減することができる。また、残差 f が収束判定誤差範囲に低減された後、次の時間変分の計算に移行することにより、シミュレーションが進行するに伴い、計算誤差が多数個の時間変分に渡って順次累積するという悪循環を阻止し、計算精度を向上できるので、高周波振動を含むゲート回路の動特性を精度よく予測することが可能になる。

【0024】さらに、収束判定誤差 ϵ は、動作方程式(11)の両辺のオーダが等しいことから $\epsilon = f(V_{gm}) / lg(q - q_0)$ で与えることができ、その値を $10^{-2} \sim 10^{-4}$ とすれば、高周波振動を含むゲート回路の動特性を実用上十分な精度で推定することができる。図2は実施例になるシミュレーション方法によって得られたゲート回路の動特性を示す波形図であり、回路定数としての lg 、 rg の値を変えてシミュレーションを行い、高周波振動の要因分析を行った結果の一例を示したものである。また、図にはゲート電圧 V_{gm} 、ゲート電流 J_g の波形とともに、同様なシミュレーション方法で得られたドレイン電圧 V_{dm} 、ドレイン電流 J_d の波形を併記した。図において、各波形は図3におけるゲート電圧 V_g の実測波形で認められた高周波振動波形 V_{gv} と類似の高周波振動分を含んでおり、この結果から実施例になるシミュレーション方法による動特性の計算精度が、高周波振動の要因分析を行える程に高いことが実証された。因みに、このシミュレーションにおけるゲート回路の配線インダクタンス lg は $0.005 \mu H$ 、配線の抵抗 rg は 0.1Ω 、また、負荷回路の配線インダクタンス ld は $0.01 \mu H$ 、配線抵抗 rd は 0.1Ω であり、このような回路条件が高周波振動を大きくする要因になっていると推定される。

【0025】

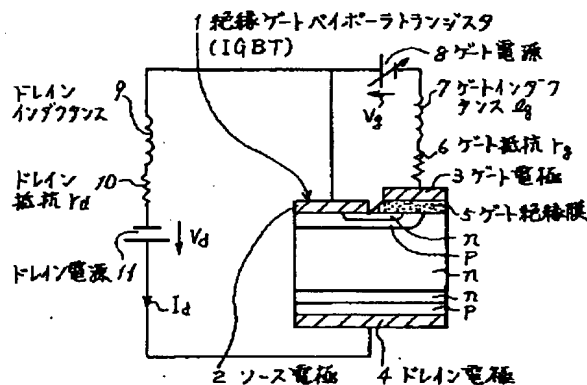
【発明の効果】この発明は前述のように、MOSゲートを有する半導体装置内部の状態方程式と、インダクタンスおよび抵抗を含むゲート外部回路の動作方程式とを、

時間の関数であるゲート電圧とゲート絶縁膜容量中の電荷とを媒介変数として結合し、半導体装置の動特性をシミュレートする方法として、両方の媒介変数の時間積分項を含む積分型の方程式と、この動作方程式を変形して得られる残差方程式とを用い、一方の媒介変数を指定し直しつつ残差が収束判定誤差範囲に収まるまで計算を繰り返し行い、しかる後次の時間変分に対する計算に移るよう構成した。その結果、状態方程式と動作方程式が完全に一致した場合にのみゲート電圧の残差 $f(V_{gm})$ が零になるという残差方程式の特性を利用し、状態方程式と動作方程式の整合性をチェックし、且つ調整しつつ計算を進めることが可能になり、時間変分内における計算誤差を大幅に低減できるとともに、シミュレーションが進行するに伴い、計算誤差が多数個の時間変分に渡って順次累積するという従来方法の欠点が排除され、高周波振動の要因分析を含むゲート回路の動特性を半導体装置の設計段階で精度よく予測できる半導体装置の動特性シミュレーション方法を提供することができる。

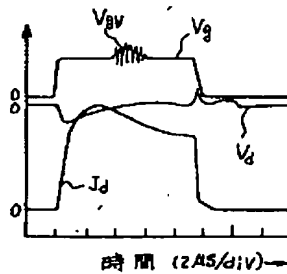
【図面の簡単な説明】

【図1】 この発明の実施例になる半導体装置の動特性シ

【図1】



【図3】



ミュレーション方法を絶縁ゲートバイポーラトランジスタを例に示す接続図

【図2】 実施例になるシミュレーション方法によって得られたゲート回路の動特性を示す波形図

【図3】 既存のIGBTの外部回路で負荷短絡が生じた際の動特性の実測結果の一例を示す波形図

【符号の説明】

- | | |
|----------|-------------------------------|
| 1 | 絶縁ゲートバイポーラトランジスタ (IGBT) |
| 2 | ソース電極 |
| 3 | ゲート電極 |
| 4 | ドレイン電極 |
| 5 | ゲート絶縁膜 |
| 6 | ゲート抵抗 (配線抵抗 r_g) |
| 7 | ゲートインダクタンス (配線インダクタンス l_g) |
| 8 | ゲート電源 (設定電圧 V_g) |
| 9 | ドレインインダクタンス |
| 10 | ドレイン抵抗 |
| 11 | ドレイン電源 (設定電圧 V_d) |
| V_{gm} | ゲート電圧 |
| J_g | ゲート電流 |

【図2】

